

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 5 年 2 月 4 日

出 願 番 号

Application Number:

特 願 2 0 0 5 - 0 2 8 7 6 6

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 5 - 0 2 8 7 6 6

出 願 人

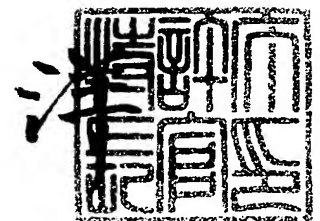
Applicant(s):

松下電器産業株式会社

2 0 0 5 年 7 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	付託願
【整理番号】	5037660148
【提出日】	平成17年 2月 4日
【あて先】	特許庁長官殿
【国際特許分類】	G06F 12/00
【発明者】	
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】	炭田 昌哉
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100097445
【弁理士】	
【氏名又は名称】	岩橋 文雄
【選任した代理人】	
【識別番号】	100103355
【弁理士】	
【氏名又は名称】	坂口 智康
【選任した代理人】	
【識別番号】	100109667
【弁理士】	
【氏名又は名称】	内藤 浩樹
【手数料の表示】	
【予納台帳番号】	011305
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9809938

【請求項 1】

メモリセルアレイに形成され、情報を保持する第 1 及び第 2 の情報保持回路と、
前記第 1 の情報保持回路のみに接続された情報入出力用の第 1 のポート部と、
前記第 2 の情報保持回路のみに接続された情報入出力用の第 2 のポート部と、
入れ替え制御信号を受けて、前記第 1 の情報保持回路に保持された情報と前記第 2 の情報保持回路に保持された情報とを前記メモリセルアレイ内で相互に入れ替える入れ替え回路とを備えた

ことを特徴とする半導体集積回路。

【請求項 2】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 のポート部は、各々、トランジスタ回路で構成され、

前記第 1 及び第 2 のポート部のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成される

ことを特徴とする半導体集積回路。

【請求項 3】

前記請求項 2 記載の半導体集積回路において、

前記第 1 及び第 2 のポート部は、相互に、アクセス頻度が異なり、

閾値電圧の高いトランジスタで構成された側のポート部のアクセス頻度は、閾値電圧の低いトランジスタで構成された側のポート部のアクセス頻度よりも、低い

ことを特徴とする半導体集積回路。

【請求項 4】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 のポート部は、相互に、供給を受ける電源電圧が異なる

ことを特徴とする半導体集積回路。

【請求項 5】

前記請求項 4 記載の半導体集積回路において、

電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部のアクセス頻度よりも、低い

ことを特徴とする半導体集積回路。

【請求項 6】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、

前記第 1 及び第 2 の情報保持回路のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成される

ことを特徴とする半導体集積回路。

【請求項 7】

前記請求項 6 記載の半導体集積回路において、

前記閾値電圧の高いトランジスタで構成された側の情報保持回路のアクセス頻度は、閾値電圧の低いトランジスタで構成された側の情報保持回路のアクセス頻度よりも、低い

ことを特徴とする半導体集積回路。

【請求項 8】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 の情報保持回路は、相互に、供給を受ける電源電圧が異なる

ことを特徴とする半導体集積回路。

【請求項 9】

前記請求項 8 記載の半導体集積回路において、

電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、低い

ことを特徴とする半導体集積回路。

【請求項 1 0】

前記請求項 1 記載の半導体集積回路において、
前記入れ替え回路は、情報を一時的に保持する一時的保持回路を有し、
前記第 1 及び第 2 の情報保持手段に保持された情報は、前記入れ替え制御信号に基づいて、前記一時的保持回路を介して相互に入れ替わる
ことを特徴とする半導体集積回路。

【請求項 1 1】

前記請求項 1 記載の半導体集積回路において、
前記第 1 及び第 2 の情報保持回路に保持された情報が相互に入れ替わった入れ替え終了を検出し、この終了の検出時に前記入れ替え制御信号の出力が停止される
ことを特徴とする半導体集積回路。

【請求項 1 2】

前記請求項 1 記載の半導体集積回路において、
前記第 1 及び第 2 の情報保持回路に保持させるべき情報が、これらの第 1 及び第 2 の情報保持回路に保持されたことを検出し、この検出後に、前記第 1 及び第 2 の情報保持回路に保持された情報の相互入れ替えが行われる
ことを特徴とする半導体集積回路。

【請求項 1 3】

前記請求項 1 記載の半導体集積回路において、
前記第 1 及び第 2 のポート部は、各々、トランジスタ回路で構成され、
前記第 1 及び第 2 のポート部のトランジスタ回路は、各々、自己のポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、
アクセス速度の遅いポート部のトランジスタ回路のトランジスタ幅は、アクセス速度の速いポート部のトランジスタ回路のトランジスタ幅よりも、狭い
ことを特徴とする半導体集積回路。

【請求項 1 4】

前記請求項 1 記載の半導体集積回路において、
前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、
前記第 1 及び第 2 の情報保持回路のトランジスタ回路は、各々、自己の情報保持回路に接続されたポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、
アクセス速度の遅い側の情報保持回路のトランジスタ回路のトランジスタ幅は、アクセス速度の速い側の情報保持回路のトランジスタ回路のトランジスタ幅よりも、狭い
ことを特徴とする半導体集積回路。

【請求項 1 5】

前記請求項 1 0 記載の半導体集積回路において、
前記一時的保持回路は、ラッチ回路で構成される
ことを特徴とする半導体集積回路。

【請求項 1 6】

前記請求項 1 5 記載の半導体集積回路において、
前記ラッチ回路は、差動回路である
ことを特徴とする半導体集積回路。

【請求項 1 7】

前記請求項 8 記載の半導体集積回路において、
前記入れ替え回路は、
電源電圧の低い側の情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の高い側の情報保持回路に出力するラッチ回路を備えた
ことを特徴とする半導体集積回路。

【請求項 1 8】

前記請求項 1 記載の半導体集積回路において、
前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、各々、トラン

ンへの回路を構成され、

前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、基板電圧制御回路を有し、

前記基板電圧制御回路は、各々、

自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、自己の組のポート部のアクセス頻度に応じた閾値電圧に制御することを特徴とする半導体集積回路。

【請求項 19】

前記請求項 1 記載の半導体集積回路において、

前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、電源電圧制御回路を有し、

前記電源電圧制御回路は、各々、

自己のポート部における情報の読み出し時間及び書き込み時間に応じて、自己のポート部及び情報保持回路に供給する電源電圧を制御する

ことを特徴とする半導体集積回路。

【請求項 20】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、

前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、基板電圧制御回路及び電源電圧制御回路を有し、

前記基板電圧制御回路は、各々、

自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、所定の閾値電圧に制御し、

前記電源電圧制御回路は、各々、

自己のポート部における情報の読み出し時間及び書き込み時間が各々設定時間になるように、自己のポート部及び情報保持回路に供給する電源電圧を制御する

ことを特徴とする半導体集積回路。

【請求項 21】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、複数のトランジスタを並列配置したトランジスタ並列部に形成され、

動作速度の遅い側のポート部及び情報保持回路は、前記トランジスタ並列部の端部に位置し、

動作速度の速い側のポート部及び情報保持回路は、前記トランジスタ並列部の内側に位置する

ことを特徴とする半導体集積回路。

【請求項 22】

前記請求項 1 記載の半導体集積回路において、

前記第 1 及び第 2 の情報保持回路が形成されたセルアレイの中に形成された第 1 及び第 2 のダミー情報保持回路を備え、

前記入れ替え制御信号は、

前記第 1 及び第 2 のダミー情報保持回路に保持された情報が実際に相互に入れ替わった切り替え時間が反映され、この切り替え時間の経過後に出力が停止される

ことを特徴とする半導体集積回路。

【請求項 23】

前記請求項 1 記載の半導体集積回路において、

前記第 1 のポート部は、その形成された基板が前記第 2 のポート部とは基板分離されている

ことを特徴とする半導体集積回路。

【請求項 24】

前記請求項 1 記載の半導体集積回路において、

前記第 1 の情報保持回路は、その形成された基板が前記第 2 の情報保持回路とは基板分離されている

ことを特徴とする半導体集積回路。

【請求項 25】

前記請求項 10 記載の半導体集積回路において、

前記一時的保持回路は、

トランジスタ回路により構成され、且つ、構成されるトランジスタは、前記切り替え制御信号のアクセス頻度に応じた閾値設定がされている

ことを特徴とする半導体集積回路。

【請求項 26】

前記請求項 10 記載の半導体集積回路において、

前記一時的保持回路は、

供給される電源電圧が、前記切り替え制御信号のアクセス頻度に応じた電圧に設定されている

ことを特徴とする半導体集積回路。

【請求項 27】

前記請求項 1 乃至 26 記載の半導体集積回路において、
マルチスレッド型のプロセッサである

ことを特徴とする半導体集積回路。

【発明の名称】 半導体集積回路

【技術分野】

【0001】

本発明は、半導体集積回路、特に、多ポートを持つレジスタファイルの構成に関する。

【背景技術】

【0002】

従来、半導体集積回路において、多ポートレジスタファイルを持つ場合には、この多ポートレジスタファイルに複数の機能ブロックを接続し、これら複数の機能ブロックによるデータの並列処置を行い得るようにしている。

【0003】

例えば、特許文献1では、レジスタファイルを、書き込みポート数が2で読み出しポート数も2である多ポート型(2Write2Read (2W2R)型)とし、1W1R型の機能ブロックと他の1W1R型の機能ブロックとを前記2W2Rポート型のレジスタファイルに接続している。すなわち、この2W2Rポート型のレジスタファイルは、1つのメモリセルに対して、2個の読み出しポートと2個の書き込みポートとを用意し、1個の読み出しポート及び1個の書き込みポートを第1の機能ブロックに接続すると共に、他の1個の読み出しポート及び他の1個の書き込みポートを第2の機能ブロックに接続する構成としている。

【0004】

また、前記メモリセルを含むトランジスタ回路では、従来、その構成トランジスタの閾値電圧、その構成トランジスタへの供給電圧、その構成トランジスタの活性化率、及びその消費電力との間には、与えられた所定活性化率の下では消費電力を最少にする閾値電圧及び供給電圧が存在することが、例えば非特許文献1に記載されている。

【特許文献1】 特開平11-175394号公報(図13)

【非特許文献1】 K.Nose et al., "Optimization of VDD and VTH for low-power and high-speed applications", ASPDAC.00, pp. 469-474, Jan. 2000.

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前記従来の多ポート型レジスタファイルを有する半導体集積回路では、次の欠点がある。

【0006】

すなわち、従来の多ポート型レジスタファイルでは、既述の通り、接続される複数の機能ブロックの書き込みポート及び読み出しポートの合計数のポートが、1個のメモリセル毎に用意される。このため、多ポート型レジスタファイルは面積が増大する欠点がある。

【0007】

更に、前記従来の多ポート型レジスタファイルでは、例えば、接続される1つの機能ブロックの活性化率(アクセス頻度)が高く、他の機能ブロックの活性化率が低い場合に、一方の活性化率の下で消費電力を最少に最適化するための供給電圧やトランジスタの閾値電圧が存在するものの、他方の活性化率でメモリセルを使用する際には、その供給電圧や閾値電圧は最適値とならないため、消費電力は最少化されず、無駄な消費電力が存在する課題があった。

【0008】

そこで、例えば、従来のようにメモリセルを複数の機能ブロック間で共用する構成を採用せず、各機能ブロックでは専用のメモリセルを使用する構成を採用することが考えられる。この考えの下では、専用のメモリセル別に、その専用の機能ブロックの活性化率に対応した供給電圧や閾値電圧を設定することができて、消費電力を有効に削減できる。しかも、専用のメモリセルには、その専用の機能ブロックが有する読み出しポート及び書き込みポートの合計ポート数だけを設ければ良く、他の機能ブロックが有するポートの数だけ

必要ポート数を削減し、面積削減が可能である。

【0009】

しかし、前記考えでは、ある機能ブロックが必要とするデータが、その専用のメモリセルではなく、他の機能ブロックの専用メモリセルに格納されている場合には、そのデータを自己の専用メモリセルに入れ替える作業を行い、その後、そのデータの読み出しを自己の専用メモリセルから行う必要が生じる。この場合に、例えば、自己の専用メモリセルに既に格納されているデータを一旦、外部レジスタに退避し、その後、他の機能ブロックの専用メモリセルからデータを自己の専用メモリセルに転送する構成を採用することが考えられるが、この考えでは、外部に設ける退避レジスタや、これに接続するデータバス等を必要とし、データのアクセスに時間を要すると共に、面積の増大を招くという課題が生じる。

【0010】

本発明は、前記の課題に着目し、その目的は、1つのメモリセルに対する必要ポート数を削減しながら、且つデータのアクセスを短時間で実行可能な多ポート型レジスタファイルを提供することにある。

【課題を解決するための手段】

【0011】

前記の目的を達成するために、本発明では、各機能ブロックでは専用のメモリセルを使用する構成を基本的に採用しつつ、一方の機能ブロックで他方の機能ブロック専用のメモリセルのデータが必要となった際には、メモリセル間のデータの入れ替えをメモリセルアレイ内で行う構成を採用する。

【0012】

具体的に、請求項1記載の発明の半導体集積回路は、メモリセルアレイに形成され、情報を保持する第1及び第2の情報保持回路と、前記第1の情報保持回路のみに接続された情報入出力用の第1のポート部と、前記第2の情報保持回路のみに接続された情報入出力用の第2のポート部と、入れ替え制御信号を受けて、前記第1の情報保持回路に保持された情報と前記第2の情報保持回路に保持された情報とを前記メモリセルアレイ内で相互に入れ替える入れ替え回路とを備えたことを特徴とする。

【0013】

請求項2記載の発明は、前記請求項1記載の半導体集積回路において、前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、前記第1及び第2のポート部のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする。

【0014】

請求項3記載の発明は、前記請求項2記載の半導体集積回路において、前記第1及び第2のポート部は、相互に、アクセス頻度が異なり、閾値電圧の高いトランジスタで構成された側のポート部のアクセス頻度は、閾値電圧の低いトランジスタで構成された側のポート部のアクセス頻度よりも、低いことを特徴とする。

【0015】

請求項4記載の発明は、前記請求項1記載の半導体集積回路において、前記第1及び第2のポート部は、相互に、供給を受ける電源電圧が異なることを特徴とする。

【0016】

請求項5記載の発明は、前記請求項4記載の半導体集積回路において、電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部のアクセス頻度よりも、低いことを特徴とする。

【0017】

請求項6記載の発明は、前記請求項1記載の半導体集積回路において、前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1及び第2の情報保持回路のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする。

【 0 0 1 0 】

請求項 7 記載の発明は、前記請求項 6 記載の半導体集積回路において、前記閾値電圧の高いトランジスタで構成された側の情報保持回路のアクセス頻度は、閾値電圧の低いトランジスタで構成された側の情報保持回路のアクセス頻度よりも、低いことを特徴とする。

【 0 0 1 9 】

請求項 8 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路は、相互に、供給を受ける電源電圧が異なることを特徴とする。

【 0 0 2 0 】

請求項 9 記載の発明は、前記請求項 8 記載の半導体集積回路において、電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、低いことを特徴とする。

【 0 0 2 1 】

請求項 10 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記入れ替え回路は、情報を一時的に保持する一時的保持回路を有し、前記第 1 及び第 2 の情報保持手段に保持された情報は、前記入れ替え制御信号に基づいて、前記一時的保持回路を介して相互に入れ替わることを特徴とする。

【 0 0 2 2 】

請求項 11 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路に保持された情報が相互に入れ替わった入れ替え終了を検出し、この終了の検出時に前記入れ替え制御信号の出力が停止されることを特徴とする。

【 0 0 2 3 】

請求項 12 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路に保持させるべき情報が、これらの第 1 及び第 2 の情報保持回路に保持されたことを検出し、この検出後に、前記第 1 及び第 2 の情報保持回路に保持された情報の相互入れ替えが行われることを特徴とする。

【 0 0 2 4 】

請求項 13 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部は、各々、トランジスタ回路で構成され、前記第 1 及び第 2 のポート部のトランジスタ回路は、各々、自己のポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、アクセス速度の遅いポート部のトランジスタ回路のトランジスタ幅は、アクセス速度の速いポート部のトランジスタ回路のトランジスタ幅よりも、狭いことを特徴とする。

【 0 0 2 5 】

請求項 14 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、前記第 1 及び第 2 の情報保持回路のトランジスタ回路は、各々、自己の情報保持回路に接続されたポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、アクセス速度の遅い側の情報保持回路のトランジスタ回路のトランジスタ幅は、アクセス速度の速い側の情報保持回路のトランジスタ回路のトランジスタ幅よりも、狭いことを特徴とする。

【 0 0 2 6 】

請求項 15 記載の発明は、前記請求項 10 記載の半導体集積回路において、前記一時的保持回路は、ラッチ回路で構成されることを特徴とする。

【 0 0 2 7 】

請求項 16 記載の発明は、前記請求項 15 記載の半導体集積回路において、前記ラッチ回路は、差動回路であることを特徴とする。

【 0 0 2 8 】

請求項 17 記載の発明は、前記請求項 8 記載の半導体集積回路において、前記入れ替え回路は、電源電圧の低い側の情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の高い側の情報保持回路に出力するラッチ回路を備えたことを特徴とする。

【 0 0 3 0 】

請求項 1 8 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、基板電圧制御回路を有し、前記基板電圧制御回路は、各々、自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、自己の組のポート部のアクセス頻度に応じた閾値電圧に制御することを特徴とする。

【 0 0 3 0 】

請求項 1 9 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、電源電圧制御回路を有し、前記電源電圧制御回路は、各々、自己のポート部における情報の読み出し時間及び書き込み時間に応じて、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする。

【 0 0 3 1 】

請求項 2 0 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、基板電圧制御回路及び電源電圧制御回路を有し、前記基板電圧制御回路は、各々、自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、所定の閾値電圧に制御し、前記電源電圧制御回路は、各々、自己のポート部における情報の読み出し時間及び書き込み時間が各々設定時間になるように、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする。

【 0 0 3 2 】

請求項 2 1 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、複数のトランジスタを並列配置したトランジスタ並列部に形成され、動作速度の遅い側のポート部及び情報保持回路は、前記トランジスタ並列部の端部に位置し、動作速度の速い側のポート部及び情報保持回路は、前記トランジスタ並列部の内側に位置することを特徴とする。

【 0 0 3 3 】

請求項 2 2 記載の発明は、前記請求項 1 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路が形成されたセルアレイの中に形成された第 1 及び第 2 のダミー情報保持回路を備え、前記入れ替え制御信号は、前記第 1 及び第 2 のダミー情報保持回路に保持された情報が実際に相互に入れ替わった切り替え時間が反映され、この切り替え時間の経過後に出力が停止されることを特徴とする。

【 0 0 3 4 】

請求項 2 3 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 のポート部は、その形成された基板が前記第 2 のポート部とは基板分離されていることを特徴とする。

【 0 0 3 5 】

請求項 2 4 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 の情報保持回路は、その形成された基板が前記第 2 の情報保持回路とは基板分離されていることを特徴とする。

【 0 0 3 6 】

請求項 2 5 記載の発明は、前記請求項 1 0 記載の半導体集積回路において、前記一時的保持回路は、トランジスタ回路により構成され、且つ、構成されるトランジスタは、前記切り替え制御信号のアクセス頻度に応じた閾値設定がされていることを特徴とする。

【 0 0 3 7 】

請求項 2 6 記載の発明は、前記請求項 1 0 記載の半導体集積回路において、前記一時的

保持回路は、供給される電源電圧が、前記切り管の制御信号のレベルに所定した電圧に設定されていることを特徴とする。

【0038】

以上により、請求項1～26記載の発明の半導体集積回路では、第1の情報保持回路は第1のポート部に基本的に専用であり、第2の情報保持回路は第2のポート部に基本的に専用であるので、これら情報保持回路には、自己の専用ポート部以外のポート部の分、ポート数が削減される。しかも、例えば、第1の情報保持回路の情報を第2のポート部から読み出す必要が生じた際には、第1の情報保持回路の情報がメモリセルアレイ内で入れ替え回路により第2の情報保持回路に入れ替えられるので、外部に退避レジスタ等を設けて情報の入れ替え作業を行う場合に比して、情報のアクセス速度が速くなり、短時間でのアクセスが可能である。

【0039】

しかも、第1の情報保持回路の情報は常に専用の第1のポート部から読み込み/書き込みされるので、第1の情報保持回路や第1のポート部について、その供給する電源電圧や、その構成トランジスタの閾値電圧を、その専用の第1のポート部のアクセス頻度（活性化率）に応じた値に設定することができ、第1の情報保持回路及び第1のポート部の消費電力を最少に最適化することができる。このことは、第2の情報保持回路及び第2のポート部についても、同様である。

【0040】

更に、請求項17記載の発明では、2つの情報保持回路間での情報の入れ替えは、ラッチ回路を介して行われる。この際、低電源電圧で動作する側の情報保持回路の情報が前記ラッチ回路にラッチされ、その後、高電源電圧で動作する側の情報保持回路に出力されるので、低電源電圧側の情報保持回路の情報を高電源電圧側の情報保持回路に良好に入れ替えすることができる。従って、低電源電圧側の情報保持回路では、その電源電圧が低電圧であっても問題ない。

【0041】

加えて、請求項21記載の発明では、トランジスタ並列部のうち、STI（Shallow Trench Isolation 素子分離領域）の影響が強く出てトランジスタの性能劣化が懸念される端部では、動作速度の遅い側のポート部及び情報保持回路が配置され、トランジスタ並列部の内側でSTIの影響が弱い領域では、動作速度の速い側のポート部及び情報保持回路が配置されているので、その動作速度の速い側のポート部及び情報保持回路の動作の高速性及び安定性が良好に確保される。

【0042】

更に加えて、請求項22記載の発明では、2つの情報保持回路間での情報の入れ替えに際しては、メモリセルアレイに形成された2個のダミー情報保持回路間の情報の実際の入れ替え時間が反映されるので、製造プロセスのばらつき、温度、電圧などの外部環境による影響をさほど受けずに、情報保持回路間での情報の入れ替えを確実に行うことができ、動作の安定化が実現できる。

【発明の効果】

【0043】

以上説明したように、請求項1～26記載の発明の半導体集積回路によれば、各ポート部を自己に専用の情報保持回路のみに接続したので、各情報保持回路のポート数を顕著に削減できると共に、各ポート部から自己に専用の情報保持回路以外の他の情報保持回路の情報を読み出す必要時には、メモリセルアレイ内に設けた入れ替え回路によって、前記他の情報保持回路の情報を自己に専用の情報保持回路に入れ替えたので、情報のアクセス速度を速く保持でき、短時間でのアクセスが可能である。更に、ポート部及びこれに専用の情報保持回路から成る組別に、自己の組のポート部のアクセス頻度（活性化率）に応じた電源電圧、構成トランジスタの閾値電圧を設定できて、各組の消費電力を低減できる効果を奏する。

【0044】

更に、請求項 1 の記載の発明によれば、低電源電圧側の情報保持回路の情報を良好に高電源電圧側の情報保持回路に入れ替えしながら、低電源電圧側の情報保持回路におけるその電源電圧の低電圧化が可能である。

【0045】

加えて、請求項 2 の記載の発明によれば、動作速度の速い側のポート部及び情報保持回路をトランジスタ並列部のうち S T 1 の影響を受け難い内側に配置したので、その高速動作性及び安定性を良好に維持できる。

【0046】

更に加えて、請求項 2 の記載の発明によれば、2 つの情報保持回路間での情報の入れ替えに際して、ダミー情報保持回路間の情報の実際の入れ替え時間を反映させたので、製造プロセスのばらつき、温度、電圧などの外部環境による影響をさほど受けずに、情報保持回路間での情報の入れ替えを確実に行うことができ、動作の安定化を実現できる。

【発明を実施するための最良の形態】

【0047】

以下、本発明の実施形態の半導体集積回路を図面に基づいて説明する。

【0048】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の半導体集積回路の全体構成を示す。

【0049】

同図において、1 はレジスタファイル、2 A 及び 2 B は各々機能ブロックである。前記レジスタファイル 1 は、書き込みポート数が 2 で読み出しポート数が 3 の 2 W 3 R ポート型である。一方の機能ブロック 2 A は書き込みポート数が 1 で読み出しポート数が 2 の 1 W 2 R ポート型であり、他方の機能ブロック 2 B は書き込みポート数及び読み出しポート数が共に 1 の 1 W 1 R ポート型である。従って、レジスタファイル 1 と一方の機能ブロック 2 A とは、1 本の書き込みデータ線 A-W 1 及び 2 本の読み出しデータ線 A-R 1、A-R 2 と接続され、レジスタファイル 1 と他方の機能ブロック 2 B とは、各々 1 本の書き込みデータ線 B-W 1 及び読み出しデータ線 B-R 1 と接続される。

【0050】

前記レジスタファイル 1 には、メモリセルアレイ 5、書き込み/読み出し回路 6、デコード回路 7、制御回路 8、遅延電圧変換回路 9 及び D L L 回路 10 が備えられる。前記メモリセルアレイ 5 は、更に、正規メモリセル群 5 a と、5 個のダミーメモリセル群 5 b ~ 5 f とを備える。これ等のダミーメモリセル群 5 b ~ 5 f は、正規メモリセル群 5 a のビット線形状、ワード線形状及びメモリセル形状が同一に反映されている。前記書き込み/読み出し回路 6 は、前記 2 つの機能ブロック 2 A、2 B と 2 本の書き込みデータ線 A-W 1、B-W 1 及び 3 本の読み出しデータ線 A-R 1、A-R 2、B-R 1 と接続される。前記制御回路 8 には、前記 2 個の機能ブロック 2 A、2 B との間でデータの書き込み/読み出しを行うためのアドレス信号、読み出し活性化信号及び書き込み活性化信号が入力され、前記 D L L 回路 10 には、クロック信号が入力される。

【0051】

更に、図 1 に示した半導体集積回路には、3 個の電源電圧制御回路 12 a、12 b、12 c と、3 個の基板電圧制御回路 13 a、13 b、13 c が備えられるが、これ等の詳細については後述する。

【0052】

図 2 は、前記正規メモリセル群 5 a に対するデータ（情報）の書き込み/読み出し構造の詳細を示す。同図において、20 A は前記 1 W 2 R 型の機能ブロック 2 A に専用の第 1 の保持回路（第 1 の情報保持回路）、30 B は前記他方の 1 W 1 R 型の機能ブロック 2 B に専用の第 2 の保持回路（第 2 の情報保持回路）であり、各々、2 個のインバータ回路 11、12 から成る。前記第 1 の保持回路 20 A には、前記 1 W 2 R 型の機能ブロック 2 A に専用の 1 個の第 1 の書き込みポート部（第 1 のポート部）21 A W、及び 2 個の第 1 の読み出しポート部（第 1 のポート部）21 A R 1、21 A R 2 が接続される。前記第 1 の

書き込みポート部21AWは、各1個のP型及びN型トランジスタTr1、Tr2から成ると共に、書き込みデータ線A-W1を介して機能ブロック2Aに接続され、前記2個の読み出しポート部21AR1、21AR2は、各々、2個のN型トランジスタTr3、Tr4から成ると共に、読み出しデータ線A-R1、A-R2を介して機能ブロック2Aに接続される。前記書き込みポート部21AWのN型トランジスタTr2のゲートには、データ書き込み用のワード線WLWAが接続され、各読み出しポート部21AR1、21AR2のN型トランジスタTr4ゲートにはデータ読み出し用ワード線WLR A1、WLR A2が接続される。

【0053】

同様に、前記第2の保持回路30Bには、前記1W1R型の機能ブロック2Bに専用の1個の第2の書き込みポート部（第2のポート部）31AW、及び1個の第2の読み出しポート部（第2のポート部）31ARが接続される。前記第2の書き込みポート部31AWは、前記第1の書き込みポート部21AWと同様に各1個のP型及びN型トランジスタTr1、Tr2から成ると共に、書き込みデータ線B-W1を介して機能ブロック2Bに接続され、前記読み出しポート部31ARは、前記読み出しポート部21AR1と同様に2個のN型トランジスタTr3、Tr4から成ると共に、読み出しデータ線B-R1を介して機能ブロック2Bに接続される。前記書き込みポート部31AWのN型トランジスタTr2のゲートには、データ書き込み用のワード線WLWBが接続され、各読み出しポート部31ARのN型トランジスタTr4ゲートにはデータ読み出し用ワード線WLR Bが接続される。

【0054】

更に、図2において、40はラッチ回路（一時的保持回路）であって、4個のP型トランジスタTr5～Tr8と3個のN型トランジスタTr9～Tr11とを備えた差動回路から成る。41及び42は転送回路であって、各々、4個のN型トランジスタTr12～Tr15、Tr16～Tr19を備える。前記ラッチ回路40は、前記第2の機能ブロック2B専用の第2の保持回路30Bに接続され、内蔵するN型トランジスタTr11のゲートにHレベルの制御信号B→LENが入力された時に、前記第2の保持回路30Bの保持データをラッチする。前記一方の転送回路41は、前記ラッチ回路40と前記第1の保持回路20Aとに接続され、2個のN型トランジスタTr13、Tr15のゲートに制御信号L→AENが入力された時に、前記ラッチ回路40のラッチデータを第1の保持回路20Aに転送する。更に、他方の転送回路42は、第1の保持回路20Aと第2の保持回路30Bとに接続され、2個のN型トランジスタTr17、Tr19のゲートに制御信号A→BENが入力された時に、前記第1の保持回路20Aの保持データを第2の保持回路30Bに転送する。従って、前記ラッチ回路40及び前記2個の転送回路41、42により、第1及び第2の保持回路20A、30B間でデータの入れ替えを行う入れ替え回路43を構成している。

【0055】

図3は、前記入れ替え回路43によるデータの入れ替えシーケンスを示すタイミングチャートを示す。同図では、最初、制御信号B→LENが活性化され、これによりラッチ回路40が第2の保持回路30Bの保持データをラッチする。その後、制御信号A→BENが活性化されて、第1の保持回路20Aの保持データが第2の保持回路30Bに転送される。そして、第2の保持回路30Bに第1の保持回路20Aのデータが格納されると、その後、制御信号A→BENが非活性化され、続いて、制御信号L→AENが活性化されて、前記ラッチ回路40でラッチされていた第2の保持回路30Bのデータが第1の保持回路20Aに転送される。その後、制御信号B→LEN及び制御信号L→AENが非活性となって、第1及び第2の保持回路20A、30B間のデータ入れ替えが完了する。

【0056】

ここに、図1及び図2から判るように、第1の保持回路20Aは、1W2Rの第1の機能ブロック2Aに基本的に専用であり、第2の保持回路30Bは、1W1Rの第2の機能ブロック2Bに基本的に専用であるので、第1の保持回路20Aには、1W2Rの第1の

機能ブロック２Ａの１個の書き込みポート部２１ＡＷ及び２個の読み出しポート部２１ＡＲ１、２１ＡＲ２のみが接続され、一方、第２の保持回路３０Ｂには、１Ｗ１Ｒの第２の機能ブロック２Ｂの１個の書き込みポート部３１ＢＷ及び１個の読み出しポート部３１ＢＲのみが接続される。従来では、各保持回路２０Ａ、３０Ｂに対して、各々、２つの機能ブロック２Ａ、２Ｂの合計ポート数（２Ｗ３Ｒ）（＝５）を配置する必要があったため、これと比較して、本実施形態では、半導体集積回路全体として、ポート数を半減でき、レジスタファイル１の面積を効果的に縮小できる。

【００５７】

しかも、例えば、第１の機能ブロック２Ａが自己に専用の第１の保持回路２０Ａに対してデータの読み出し/書き込みを行い、且つ、第２の機能ブロック２Ｂが自己に専用の第２の保持回路３０Ｂに対してデータの読み出し/書き込みを行った後、保持回路２０Ａ、３０Ｂ間でデータを入れ替えて使用する必要が生じた場合には、前記メモリセルアレイ５内のラッチ回路４０を介して第１及び第２の保持回路２０Ａ、３０Ｂ間でデータの入れ替えが行われる。このデータの入れ替えを、例えば、外部に退避レジスタを配置し、データバスを通じてレジスタファイル１と退避レジスタとを接続して行う場合には、レジスタファイル１のエントリ数の周期分だけ入れ替え時間を要するが、本実施形態では、僅か１周期で完了する。

【００５８】

従って、本実施形態のレジスタファイル１では、小面積で且つ高速なデータ書き込み/読み出し性能を発揮する。

【００５９】

また、前記図２において、ラッチ回路４０は、図２に示したように差動回路で構成されているので、第２の保持回路３０Ｂが低電源電圧で動作するものであっても、この第２の保持回路３０Ｂの保持データをラッチ回路４０に良好にラッチすることが可能である。従って、第２の機能ブロック２Ｂに専用の第２の書き込みポート部３１ＢＷ及び読み出しポート部３１ＢＲの活性化率（アクセス頻度）が低い場合や、これ等のポート部３１ＢＷ、３１ＢＲのアクセス速度が他のポート部より遅くてもかまわない場合には、第２の保持回路３０Ｂをより一層に低電源電圧に設定することができて、より一層の低消費電力化が可能となる。

【００６０】

図４は、前記書き込み及び読み出しの各ポート部２１ＡＷ、２１ＡＲ１、２１ＡＲ２、３１ＢＷ、３１ＢＲ、各保持回路２０Ａ、３０Ｂ、及びラッチ回路４０の活性化率（アクセス頻度）、構成トランジスタの閾値電圧及び供給を受ける電源電圧の関係を示す。

【００６１】

同図では、第１の書き込み及び読み出しポート部２１ＡＷ、２１ＡＲ１、２１ＡＲ２、第１の保持回路２０Ａの第１の組と、第２の書き込み及び読み出しポート部３１ＡＷ、３１ＡＲ、第２の保持回路３０Ｂの第２の組と、ラッチ回路４０の第３の組とは、活性化率（アクセス頻度）、構成トランジスタの閾値電圧及び供給を受ける電源電圧が相互に異なる。具体的に、前記第１の組は、前記第２及び第３の組よりも活性化率が高く、この高い活性化率に応じて構成トランジスタの閾値電圧が低く設定されると共に、供給を受ける電源電圧が高く設定される。一方、活性化率の最も低い第３の組では、構成トランジスタの閾値電圧は最も高く、供給を受ける電源電圧は最も低く設定される。活性化率が中間的な第２の組では、構成トランジスタの閾値電圧及び供給を受ける電源電圧は、前記第１の組と第３の組との間の値に設定される。

【００６２】

すなわち、トランジスタの活性化率（アクセス頻度）が高い場合には、そのトランジスタの閾値電圧を低く設定すれば、消費電力の低減化が可能であると共に、この閾値電圧の下でトランジスタの動作速度が所定速度を満たすように、そのトランジスタへの電源電圧を設定すれば、所定の動作速度を確保できる。前記のように、各組では、自己の組の活性化率に応じて、構成トランジスタの閾値電圧及び供給を受ける電源電圧が設定されるので

、各組別に、構成トランジスタからのリーク電流を有効に低減して低消費電力化が可能であると共に、動作速度を所定速度に保証できる。

【0063】

尚、メモリセルアレイ5中の各ポート部及び各保持回路を構成するトランジスタは、その基板が他のポート部及び保持回路の基板とは分離されていることにより、個別に閾値電圧の設定が可能となる。また、各ポート部及び保持回路を、予め、閾値電圧の異なるトランジスタで構成しておけば、より一層に有効な消費電力の低減化が可能である。

【0064】

また、書き込み又は読み出しの各ポート部のアクセス速度が、その要求するスペックに応じて異なる場合には、その各ポート部間で、構成トランジスタのトランジスタ幅を予め異なったトランジスタ幅に生成しておけば、更に有効な低消費電力化となる。

【0065】

前記図4に示した各組別の構成トランジスタの閾値電圧、及び供給を受ける電源電圧は、図1に示したように、前記各組別に設けた合計3個の基板電圧制御回路13a~13c及び合計3個の電源電圧制御回路12a~12cにより前記設定値に制御される。

【0066】

図5は、前記基板電圧制御回路13aの内部構成を例示している。他の基板電圧制御回路13b、13cについても同一構成である。同図に示した基板電圧制御回路13aは、温度変動やプロセス変動に拘わらず、トランジスタの閾値電圧を設定値に保持する回路であって、その出力端子BNが第1の組のポート部及び保持回路を構成するN型トランジスタに基板に接続される。以下、図5に示した基板電圧制御回路13aの内部構成を説明する。

【0067】

図5において、基板電圧制御回路13aは、閾値電圧モニター用のN型トランジスタTrnを有する。このN型トランジスタTrnは、前記レジスタファイル1内の正規メモリセル群5a内のN型トランジスタと同一製造工程で製造されたものである。このN型トランジスタTrnには、定電流源80から定電流が供給されている。この定電流源80は、温度依存性がない、例えば定電流特性を示すバンドギャップリファレンス回路等により構成されており、その流す定電流値は、前記正規メモリセル群5a内のN型トランジスタに供給される電源電圧の下で且つそのN型トランジスタの設定閾値電圧の下でそのN型トランジスタが流す飽和電流値と等しい電流値である。前記モニター用のN型トランジスタTrnは、前記定電流源80からの定電流を電流-電圧変換し、その変換後の電圧（ドレイン電圧）Vdは、2入力型の比較部81に入力される。

【0068】

前記比較部81は、差動増幅器等により構成され、その一方の入力端子には、前記モニター用のN型トランジスタTrnからの変換電圧Vdが入力され、他方の入力端子には、基板電圧制御回路13aの制御対象である例えば第1の書き込み/読み出しポート部21AW、21AR1、21AR2及び第1の保持回路20Aを構成するN型トランジスタへの電源電圧VREFが入力され、その出力側は、電圧リミット部82を介して、出力端子BNに接続されると共に前記モニター用のN型トランジスタTrnの基板に接続される。前記比較部81は、前記両入力電圧Vd、VREFが等しくなるように、前記モニター用のN型トランジスタTrnの基板電圧を制御する。この制御された基板電圧は、前記出力端子BNから出力されて、前記第1の組のポート部及び保持回路を構成するN型トランジスタの基板電圧とされる。尚、前記電圧リミット部82は、出力端子BNからの出力電圧の上限及び下限を、設定上限リミット電圧VU及び設定下限リミット電圧VLに制限する。

【0069】

従って、図5に示した基板電圧制御回路13aでは、供給される電源電圧VREFの下で、制御対象のN型トランジスタの実際飽和電流が一定値に保持制御されるので、その結果として、その制御対象のN型トランジスタの閾値電圧も設定閾値電圧値に保持されるこ

ことになる。同、図1では、正規メモリセル群5a内の任意のメモリセルの近似電圧を設定値に保持制御する構成を示したが、P型トランジスタの基板電圧を設定値に保持制御する場合も同様であるので、その説明を省略する。

【0070】

図1に示した電源電圧制御回路12a～12cは、各々基本的に、自己の組の電源電圧を前記図4に示した設定電源電圧値に制御する機能を有すると共に、図1に示したように、遅延電圧変換回路9からの制御信号を受けて、生成する電源電圧の値を調整する。図1に示した遅延電圧変換回路9及びDLL回路10は、前記第1～第3の各組について、使用時の温度変動に起因して動作遅延が変動する場合に、その遅延変動を遅延電圧変換回路9で電圧変動に変換し、この電圧変動を内容とする制御信号でもって各組の電源電圧制御回路12a～12cの生成電源電圧を調整することにより、各組の動作速度について温度変動の影響を受けないように対策するものである。

【0071】

図6は、図1に示したDLL回路10の内部構成を示す。また、図8は、図1に示した遅延電圧変換回路9の内部構成を例示している。図6のDLL回路10は、読み出しポート、書き込みポート及び入れ替え回路43の動作遅延の基準値を生成する。すなわち、DLL回路10は、直列接続した4個のバッファ50a～50dから成る電圧制御遅延回路50と、この電圧制御遅延回路50の出力と所定クロック信号CLとを受けて両者を比較する比較器51と、この比較器51の出力を受けて容量Cに充電するチャージポンプ52とを備え、前記容量Cの充電状態は前記4個のバッファ50a～50dにフィードバックされる。そして、電圧制御遅延回路50の最初段のバッファ50aの出力信号は、出力端子53aからダミー読み出しポート部の遅延クロックとして出力され、2段目のバッファ50bの出力信号は、出力端子53bからダミー書き込みポート部の遅延クロックとして出力され、3段目のバッファ50cの出力信号は、出力端子53cからダミー切り替え遅延クロックとして出力される。これ等の遅延クロック及び所定クロック信号との関係を図7に示しておく。前記3種の遅延クロックは、予め、レジスタファイル1のアクセスバジェットにチューニングされている。

【0072】

図8に示した遅延電圧変換回路9は、前記DLL回路10から前記3種の遅延クロックを受けて動作する。この遅延電圧変換回路9は、図1に示したダミーメモリセル群5b～5fの何れかに形成されたダミー読み出しポート部9a、ダミー書き込みポート部9b及びダミー切り替え回路9cを備える。これ等のダミーポート部及び切り替え回路は、前記正規メモリセル群5aに形成したポート部21AW…及び切り替え回路43と同一構成である。また、遅延電圧変換回路9には、前記ダミーのポート部及び切り替え回路に対応した合計3個の比較器9d～9f及びカウンタ9g～9iとが備えられる。

【0073】

そして、遅延電圧変換回路9では、所定のクロック信号で動作するダミー読み出しポート部9aの出力信号と、前記DLL回路10からのダミー読み出しポート部の遅延クロック（基準遅延クロック）とを比較器9dで比較して、ダミー読み出しポート部9aの遅延（読み出し時間）の方が遅い場合には、比較器9dからの出力によってカウンタ回路9gをインクリメントして、前記第1の組用の電源電圧制御回路12aの電源電圧値を上昇させるよう制御信号を調整する。同様に、前記DLL回路10からのダミー読み出しポート部の遅延クロックを受けて動作するダミー書き込みポート部9bの出力信号と、前記DLL回路10からのダミー書き込みポート部の遅延クロック（基準遅延クロック）とを比較器9eで比較して、ダミー書き込みポート部9bの遅延（書き込み時間）の方が遅い場合には、比較器9eからの出力によってカウンタ回路9hをインクリメントして、前記第2の組用の電源電圧制御回路12bの電源電圧値を上昇させるよう制御信号を調整する。更に、前記DLL回路10からのダミー書き込みポート部の遅延クロックを受けて動作するダミー切り替え回路9cの出力信号と、前記DLL回路10からのダミー切り替え遅延クロック（基準遅延クロック）とを比較器9fで比較して、ダミー書き込み回路9cの遅延

の力が強い場合には、比較器 9 1 からの出力によってゲート回路 9 1 をオン/オフして、前記第 3 の組用の電源電圧制御回路 1 2 c の電源電圧値を上昇させるよう制御信号を調整する。

【0074】

従って、図 6 の D L L 回路 1 0 及び図 8 の遅延電圧変換回路 9 を使用すれば、前記ダミー読み出し/書き込みポート部 9 a、9 b 及びダミー切り替え回路 9 c の動作遅延が温度変動に起因して変動しても、これに応じて、供給される電源電圧が電源電圧制御回路 1 2 a ~ 1 2 c で調整されるので、前記ダミーの回路 9 a ~ 9 c と同様の遅延を持つ正規の読み出し/書き込みポート部 2 1 A W … 及び切り替え回路 4 3 の動作遅延を温度変動に拘わらずほぼ所定の一定値に保持することが可能である。

【0075】

図 9 は、前記書き込み/読み出しポート部 2 1 A W、3 1 B R … や保持回路 2 0 A、3 0 B を生成した多数個のトランジスタのレイアウト構成の概略図を示す。同図では、N 型基板 6 0 上に前記ポート部及び保持回路を構成するトランジスタ列 6 1 が形成される。このトランジスタ列 6 1 のうち、端部に位置する複数のトランジスタを用いて、動作速度の比較的遅いポート部及び保持回路を構成し、一方、前記トランジスタ列 6 1 のうち内側に位置する複数のトランジスタを用いて、動作速度の比較的速いポート部及び保持回路を構成する。この構成の採用により、前記 N 型基板 6 0 上では、トランジスタ列 6 1 の左右に位置する他のトランジスタ列 6 2、6 3 との間に素子分離領域 (S T I) 6 5 が配置され、この S T I の影響を受けてトランジスタ列 6 1 の端部のトランジスタは劣化の程度が大きいが、動作速度の遅いポート部及び保持回路が配置されているので、その劣化の影響が少ない。一方、動作速度の速いポート部及び保持回路は、トランジスタ列 6 1 の内側に位置していて S T I の影響を受け難いトランジスタで構成されるので、その速い動作速度を良好に確保できる。

【0076】

図 1 0 は、ダミーメモリセル群 5 d 内の複数のダミー保持回路を用いてデータの入れ替えを実際に行った結果を用いて、正規メモリセル群 5 a での 2 個の保持回路 2 0 A、3 0 B 間のデータの入れ替えを確実にを行うための構成を示す。

【0077】

同図では、ダミーメモリセル群 5 d 内の図 2 相当回路 5 d 1、5 d 2 が 2 つ用いられると共に、制御回路 8 には、データ入れ替えの必要時を検出する検出回路 7 0 と、この検出回路 7 0 の出力信号を受けて、データ入れ替え用の 6 種の制御信号 (入れ替え制御信号) B → L E N — D、B → L E N、A → B E N — D、A → B E N、L → A E N — D、L → A E N を生成する制御信号生成回路 7 1 とが備えられる。

【0078】

前記 2 つのダミー回路 5 d 1、5 d 2 は、図 2 の回路と基本構成は同様であるので、同一部分には図 2 の符号に続けて各々符号 D 1、D 2 を付して、その説明を省略する。前記一方のダミー回路 5 d 1 は、第 1 のダミー保持回路 (第 1 のダミー情報保持回路) 2 0 A D 1 から第 2 のダミー保持回路 (第 2 のダミー情報保持回路) 3 0 B D 1 へのデータ入れ替えに要した時間の検出用であり、他方のダミー回路 5 d 2 は、ダミーラッチ回路 4 0 D 2 から第 1 のダミー保持回路 2 0 A D 2 へのデータ入れ替えに要した時間の検出用である。第 1 のダミー回路 5 d 1 では、第 1 の読み出しポート部 2 1 A R 2 D 1 と第 2 の読み出しポート部 3 1 B R D 1 とが制御信号生成回路 7 1 に接続される。一方、第 2 のダミー回路 5 d 2 では、第 1 の読み出しポート部 2 1 A R 1 D 2 が制御信号生成回路 7 1 に接続されている。

【0079】

前記検出回路 7 0 は、バンクセレクト信号を受け、アクセス中のバンクが他のバンクに切り替わる時、換言すれば、第 1 及び第 2 の保持回路 2 0 A、3 0 B に保持されるべきデータが保持された後では、前記バンクセレクト信号の電位変化を検出し、データの入れ替えの必要時と判断して、検出信号を出力する。

【 0 0 8 0 】

また、前記制御信号生成回路 7 1 は、次のように動作する。すなわち、初期状態として、例えば、一方のダミー回路 5 d 1 では、第 1 のダミー保持回路 2 0 A D 1 には「 1 」データを、第 2 のダミー保持回路 3 0 B D 1 及びダミーラッチ回路 4 0 D 1 には共に「 0 」データを保持させる一方、他方のダミー回路 5 d 2 では、第 1 のダミー保持回路 2 0 A D 2 には「 0 」データを、第 2 のダミー保持回路 3 0 B D 2 及びダミーラッチ回路 4 0 D 2 には共に「 1 」データを保持させる。

【 0 0 8 1 】

更に、前記制御信号生成回路 7 1 は、前記初期状態の後、前記検出回路 7 0 から検出信号を受けたデータ入れ替えの必要時には、前記一方のダミー回路 5 d 1 に対して、第 1 のダミー保持回路 2 0 A D 1 から第 2 のダミー保持回路 3 0 B D 1 へのデータ入れ替え用の制御信号 A → B E N — D を出力すると共に、所定の時間差をもって図 2 の正規回路に対して、第 1 の保持回路 2 0 A から第 2 の保持回路 3 0 B へのデータ入れ替え用の制御信号 A → B E N を出力する。その後、一方のダミー回路 5 d 1 の第 2 のダミー保持回路 3 0 B D 1 に第 1 のダミー保持回路 2 0 A D 1 のデータが入れ替わって、このデータ「 1 」が読み出しポート部 3 1 B R D 1 から実際に読み出されると、前記両制御信号 A → B E N — D、A → B E N の出力を所定の時間差をもって停止させると共に、今度は、他方のダミー回路 5 d 2 に対して、ダミーラッチ回路 4 0 D 2 から第 1 のダミー保持回路 2 0 A D 2 へのデータ入れ替え用の制御信号 L → A E N — D を出力すると共に、所定の時間差をもって図 2 の正規回路に対して、ラッチ回路 4 0 から第 1 の保持回路 2 0 A へのデータ入れ替え用の制御信号 L → A E N を出力する。

【 0 0 8 2 】

その後、制御信号生成回路 7 1 は、他方のダミー回路 5 d 2 において、ダミーラッチ回路 4 0 D 2 のデータ「 1 」が第 1 のダミー保持回路 2 0 A D 2 に転送されて、読み出しポート部 2 1 A R D 2 から読み出されると、前記両制御信号 L → A E N — D、L → A E N の出力を所定の時間差をもって停止させる。

【 0 0 8 3 】

前記制御回路 8 に内蔵される検出回路 7 0 及び制御信号生成回路 7 1 により、ダミー回路 5 d 1、5 d 2 においてデータの入れ替えを実際に行い、その実際の入れ替え時間の結果を反映して、図 2 に示した正規回路での 2 個の保持回路 2 0 A、3 0 B 間のデータの入れ替えを行うので、この正規回路でのデータの入れ替えを確実にを行い、且つ、データの入れ替え終了後に前記制御信号 B → L E N、A → B E N、L → A E N の出力を終了することができる。

【 0 0 8 4 】

(応用例)

図 1 1 (a) に図 1 の具体的な第一の応用例を示す。ここで、1 0 0 はマルチスレッドのプロセッサであり、複数のスレッドを切り替えて実行する。スレッドを切り替えるとコンテキストをメモリに退避復帰する必要がある。1 は図 1 にも示されている本発明のレジスタファイル、1 a はコンテキスト退避復帰用のレジスタであり図 2 の第 2 の保持回路 3 0 B の複数から構成されている。1 b はプロセッサ 1 0 0 が実行時に使用するレジスタであり図 2 の第 1 の保持回路 2 0 A の複数から構成されている。1 0 3 は演算器であり図 2 の機能ブロック 2 A の具体的な応用例である。1 0 7 はデータバス、1 0 6 はプロセッサ 1 0 0 の外部にデータバス 1 0 7 を介して接続された外部メモリ、1 0 4 はレジスタ 1 a から外部メモリ 1 0 6 へコンテキストを退避したり外部メモリ 1 0 6 からレジスタ 1 a へコンテキストを復帰したりする転送装置であり図 2 の機能ブロック 2 A の具体的な応用例である。1 0 5 は外部メモリのデータを格納するキャッシュメモリであり、1 0 1 は転送装置 1 0 4、レジスタファイル 1、演算器 1 0 3 を制御する制御部である。

【 0 0 8 5 】

図 1 1 (b) はプロセッサ 1 0 0 のスレッドを切り替える際の動作を示したタイミング図である。ここで、時刻 T を境にスレッドがスレッド A からスレッド B に切り替わってい

る。時刻1が経過するとスレッドBのコンテキストの復帰が如くなる。右側の斜線に示した部分がコンテキストの復帰を示しており、キャッシュ105と外部メモリ106間でデータ転送が行われていない時間を利用して、外部メモリ106からレジスタ1aへコンテキストを復帰している。プロセッサ100がスレッドAを実行しているのと並列にスレッドBのコンテキストを準備しているのである。そして時刻Tになると、本発明のレジスタファイルの機能を用いて、レジスタ1aとレジスタ1bの内容を入れ替える。こうすることスレッドAのコンテキストからスレッドBのコンテキストに切り替わる。そして、時刻T以降はスレッドAのコンテキストの退避が行われる。左斜線で示した部分がコンテキストの退避を示しており、キャッシュ105と外部メモリ106間でデータ転送が行われていない時間を利用して、レジスタ1aから外部メモリ106へコンテキストを退避している。プロセッサ100がスレッドBを実行しているのと並列にスレッドAのコンテキストを外部メモリ106へ退避しているのである。

【0086】

以上のプロセッサ100に於いて、レジスタ1はコンテキストの退避復帰のペナルティを隠すために、プロセッサ100が実行時に使用するレジスタ1b以外にコンテキスト退避復帰用のレジスタ1aを備えている。こうすることでスレッドAを実行中にスレッドBのコンテキストを準備でき、時刻Tでは瞬間的にスレッドBに切り替えることができる。従って、実行時に使用するレジスタ1bの倍の容量のレジスタを実装する必要があるわけだが、本発明のレジスタファイルを用いることで、小面積・低消費電力・高速動作を実現することができる。

【0087】

図12はマルチスレッドのプロセッサの別の例である。400はマルチスレッドのプロセッサであり、複数のスレッドを切り替えて実行する。プロセッサ100では1つの演算器103がロードストアと算術演算を兼ねていたが、プロセッサ400では408、409、410の3つの演算器と1つのロードストアユニット403とが実装されている。さらに、演算器408、409、410はそれぞれ書き込みポート数が1で読み出しポート数が2であり、ロードストアユニット403は書き込みポート数が2で読み出しポート数が1である。また、407はデータバス、406はプロセッサ400の外部にデータバス407を介して接続された外部メモリ、404はレジスタ501aから外部メモリ406へコンテキストを退避したり外部メモリ406からレジスタ501aへコンテキストを復帰したりする転送装置である。405は外部メモリのデータを格納するキャッシュメモリであり、401は転送装置404、レジスタファイル501、演算器408、409、410およびロードストアユニット403を制御する制御部である。

【0088】

以上の構成のプロセッサ400のスレッドを切り替える際の動作を示したタイミング図は図11(b)と同様である。

【0089】

以上のプロセッサ400に於いて、レジスタ501はコンテキストの退避復帰のペナルティを隠すために、プロセッサ400が実行時に使用するレジスタ501b以外にコンテキスト退避復帰用のレジスタ501aを備えている。従って、実行時に使用するレジスタ501bの倍の容量のレジスタを実装する必要があるわけだが、本発明のレジスタファイルを用いることで、小面積・低消費電力・高速動作を実現することができる。特に、レジスタ501aとレジスタ501bのポート数が大きく異なる本実施例においては、その効果は図11の場合以上に大きい。

【産業上の利用可能性】

【0090】

以上説明したように、本発明は、1つのメモリセルに対して必要なポート数を従来に比して効果的に低減できると共に、データのアクセス時間も短時間で済む多ポート型レジスタファイルを持つ半導体集積回路として、有用であり、この半導体集積回路を備えた携帯電話や、ICカードチップ、又は据え置き型の電気製品としての使用に好適である。

【 0 0 9 1 】

【図 1】 本発明の実施形態に係る半導体集積回路の構成を示す図

【図 2】 同半導体集積回路が有するレジスタファイルの内部構成の要部を示す図

【図 3】 同レジスタファイルでのデータの入れ替え動作のタイミングチャート

【図 4】 同半導体集積回路の書き込みポート部、読み出しポート部、保持回路及びラッチ回路の活性化率、構成トランジスタの閾値電圧及び電源電圧の関係を示す図

【図 5】 同半導体集積回路に備える基板電圧制御回路の内部構成を示す図

【図 6】 同半導体集積回路に備える D L L 回路の内部構成を示す図

【図 7】 同 D L L 回路から出力される各種信号のタイミングチャート

【図 8】 同半導体集積回路に備える遅延電圧変換回路の内部構成を示す図

【図 9】 同半導体集積回路を構成するトランジスタ列における動作速度の速い回路部と動作速度の遅い回路部の配置位置の概略を説明する図

【図 1 0】 同半導体集積回路に備える制御回路の内部構成、及び 2 つのダミー回路を使用した実際のデータ入れ替えを反映した各種制御信号の生成の詳細を示す回路図

【図 1 1】 (a) 同半導体集積回路の具体的応用例を示す図 (b) 具体的応用例においてスレッドの切り替えのタイミングを示す図

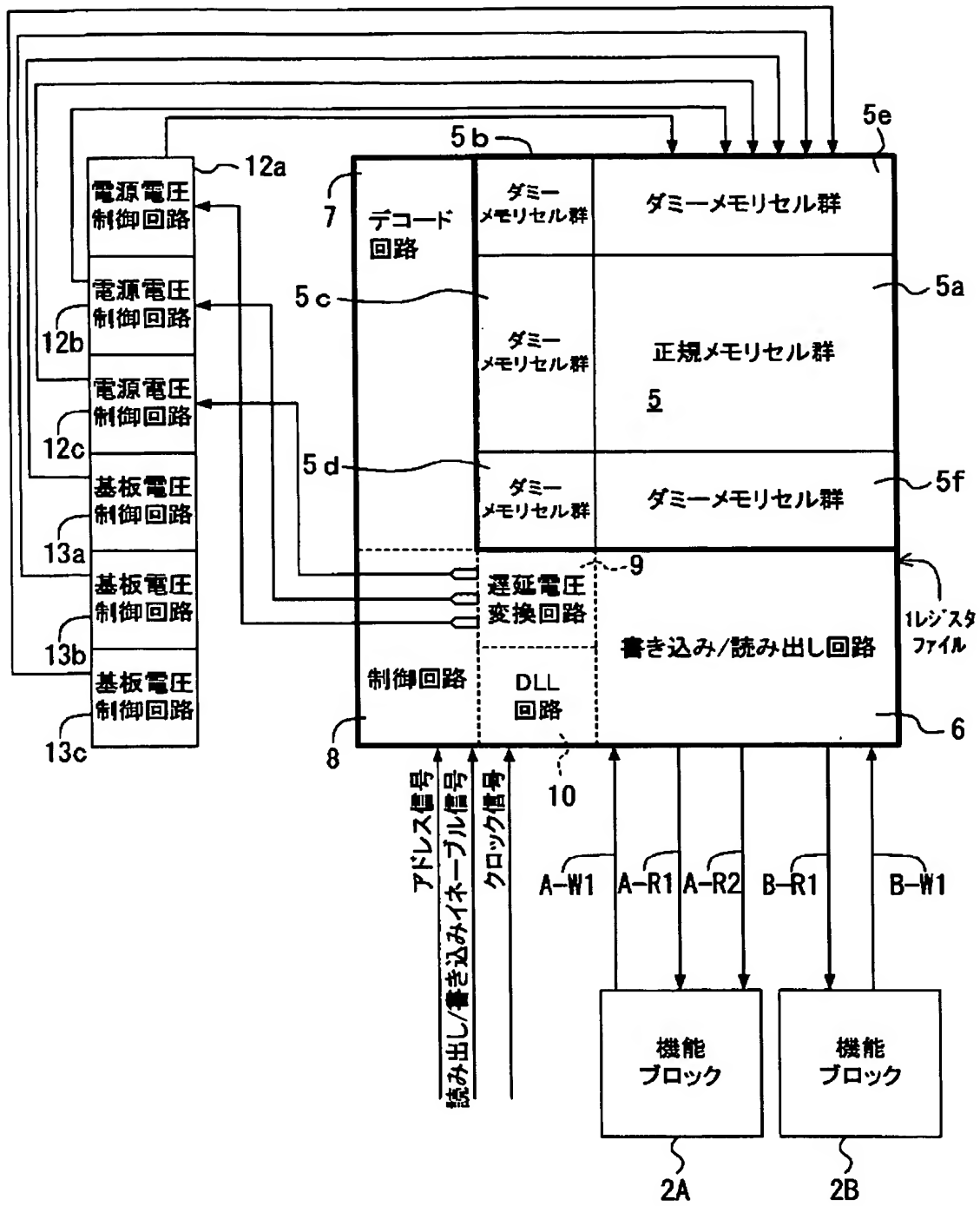
【図 1 2】 同半導体集積回路の具体的応用例を示す図

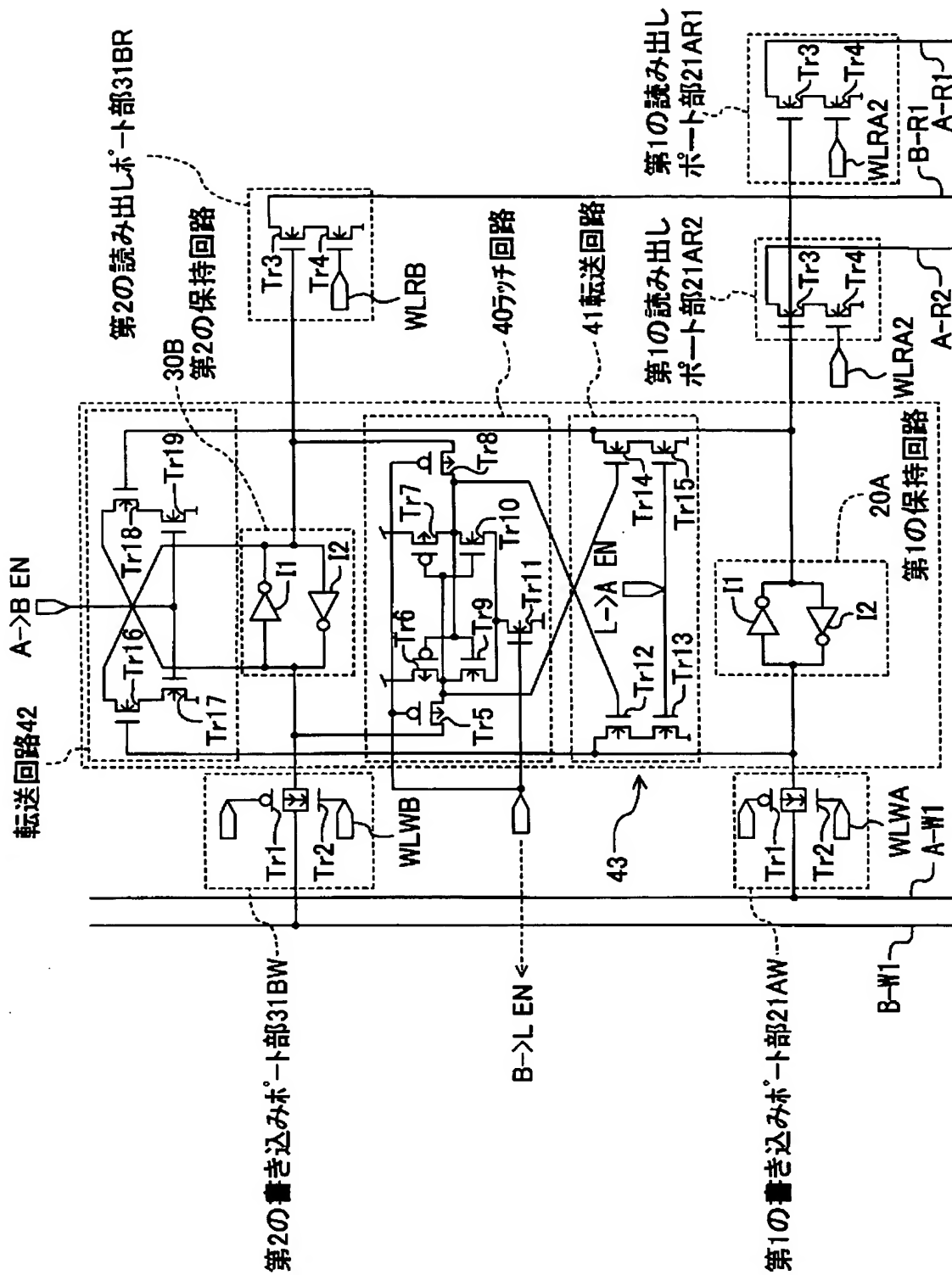
【符号の説明】

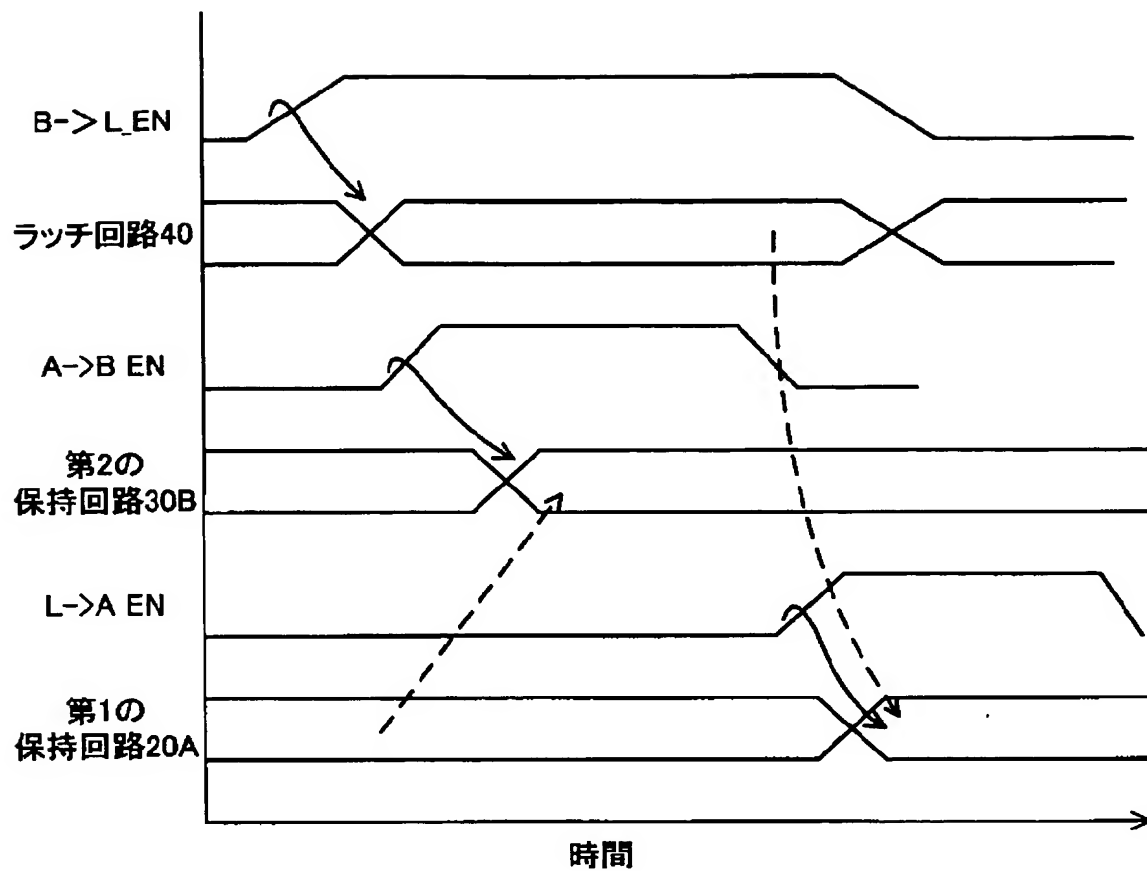
【 0 0 9 2 】

1	レジスタファイル
2 A	第 1 の機能ブロック
2 B	第 2 の機能ブロック
5	メモリセルアレイ
5 a	正規メモリセル群
5 b ~ 5 f	ダミーメモリセル群
6	読み出し/書き込み回路
7	デコード回路
8	制御回路
9	遅延電圧変換回路
1 0	D L L 回路
1 2 a ~ 1 2 c	電源電圧制御回路
1 3 a ~ 1 3 c	基板電圧制御回路
2 0 A	第 1 の保持回路 (第 1 の情報保持回路)
2 0 A D 1、2 0 A D 2	第 1 のダミー保持回路 (第 1 のダミー情報保持回路)
3 0 B D 1、3 0 B D 2	第 2 のダミー保持回路 (第 2 のダミー情報保持回路)
2 1 A W	第 1 の書き込みポート部
2 1 A R 1、2 1 A R 2	第 1 の読み出しポート部
3 0 B	第 2 の保持回路 (第 2 の情報保持回路)
3 1 A W	第 2 の書き込みポート部
3 1 A R	第 2 の読み出しポート部
4 0	ラッチ回路 (一時的保持回路)
4 1、4 2	転送回路
4 3	入れ替え回路
6 1	トランジスタ列
7 0	検出回路
7 1	制御信号生成回路

【 図 1 】

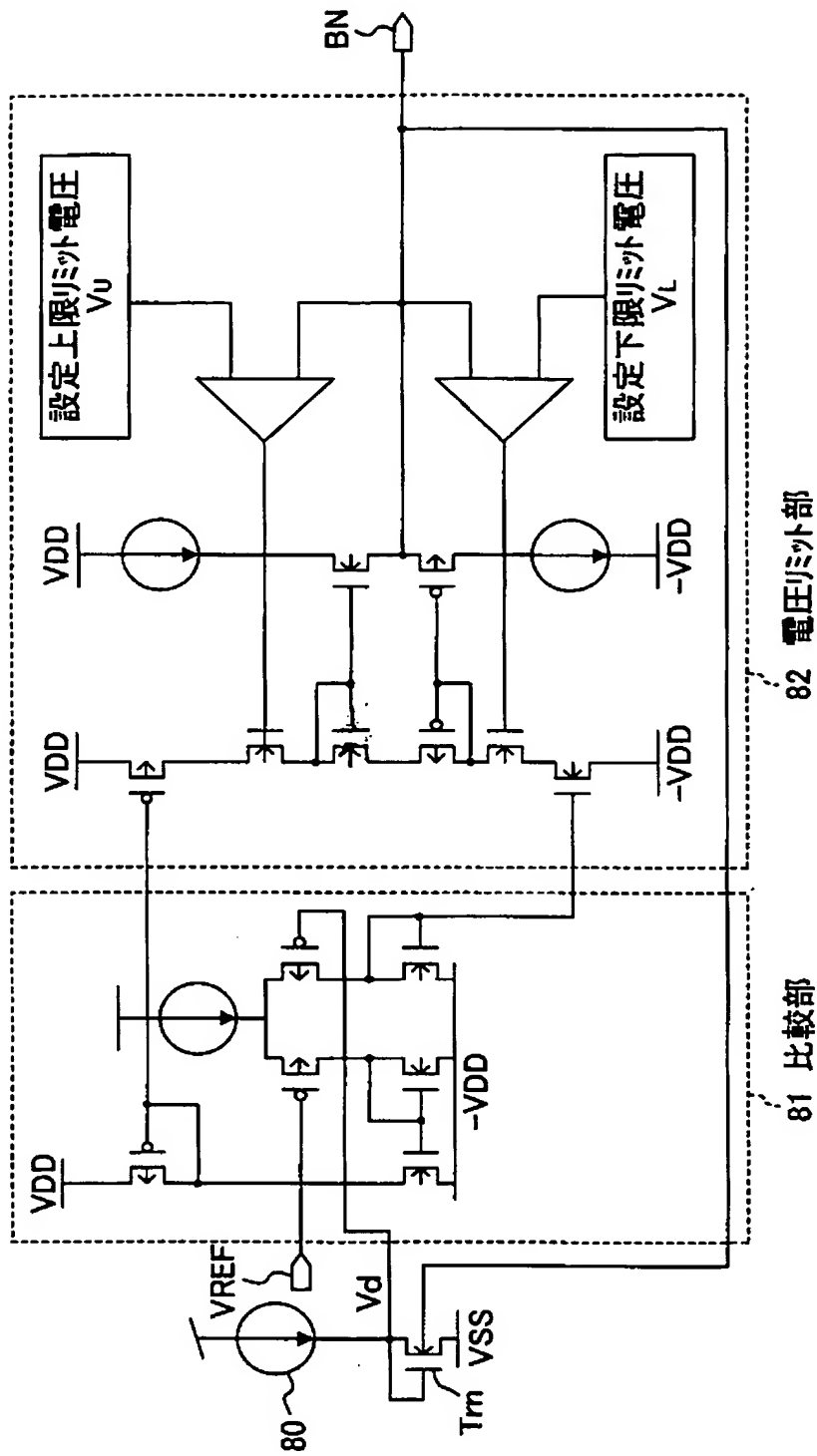






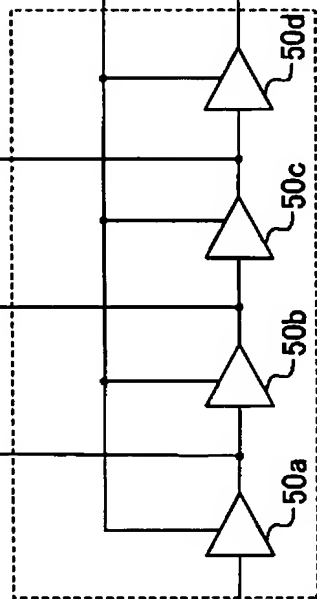
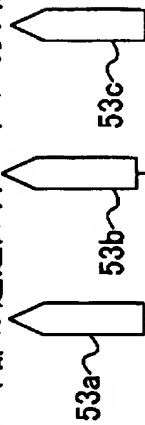
	活性化率 (アクセス頻度)	閾値電圧	電源電圧
第1の書き込みポート部21AW	1/32	200mV	1.0V
第2の書き込みポート部31BW	1/1000	400mV	0.8V
第1の読み出しポート部21AR1	1/32	200mV	1.0V
第1の読み出しポート部21AR2	1/32	200mV	1.0V
第2の読み出しポート部31BR	1/1000	400mV	0.8V
第1の保持回路20A	1/32	200mV	1.0V
第1の保持回路20B	1/1000	400mV	0.8V
ラッチ回路40C	1/10000	500mV	0.75V

13a 基板電圧制御回路

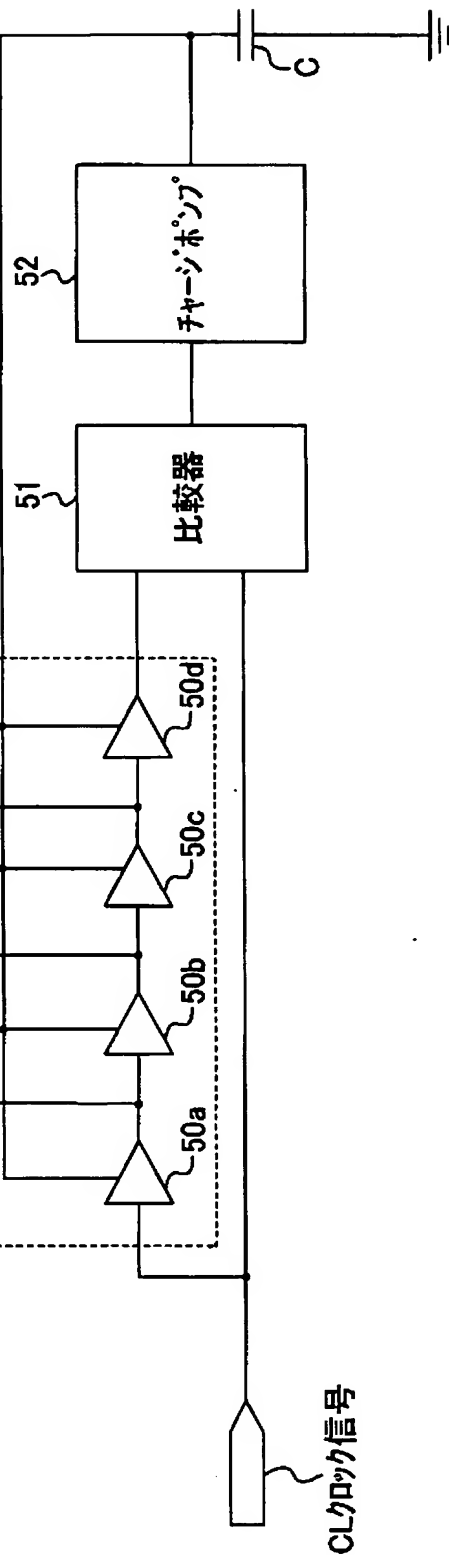


10 DLL回路

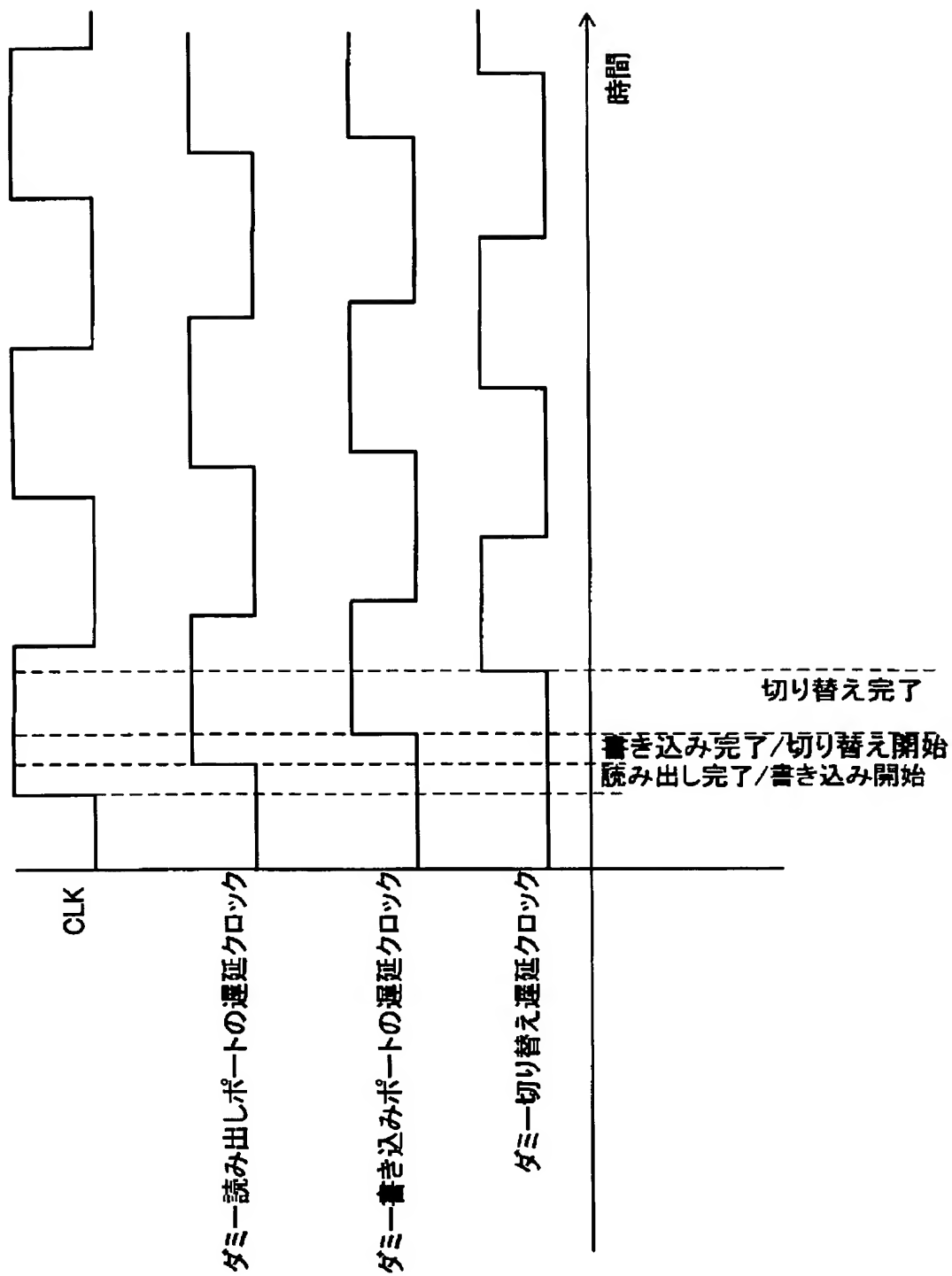
ダミー書き込みポート部の遅延クロック
 ダミー読み出しポート部の遅延クロック ダミー切り替え遅延クロック

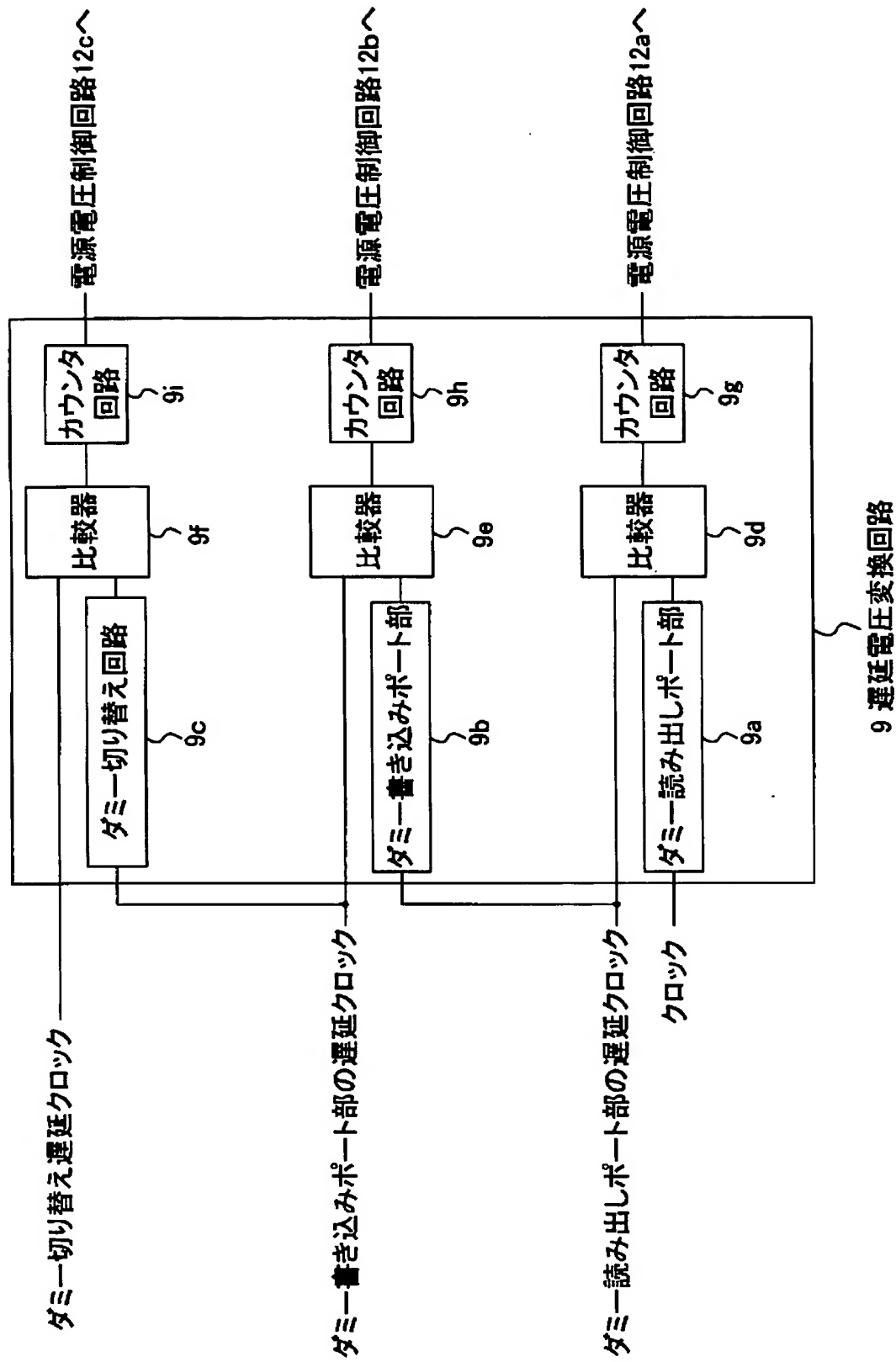


電圧制御遅延回路50

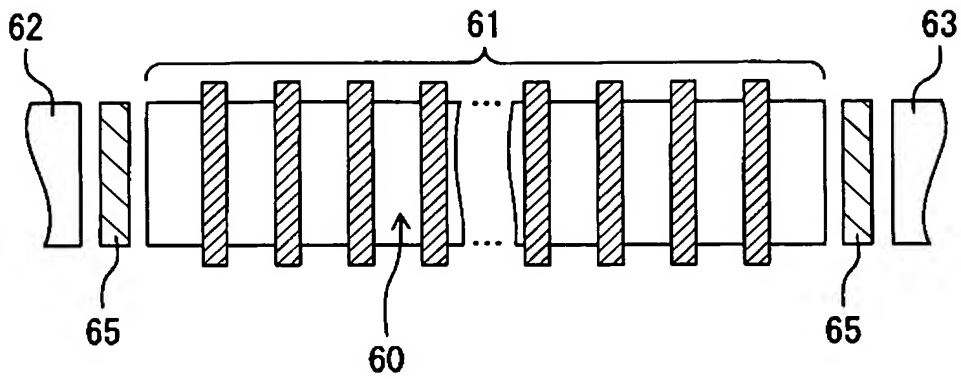


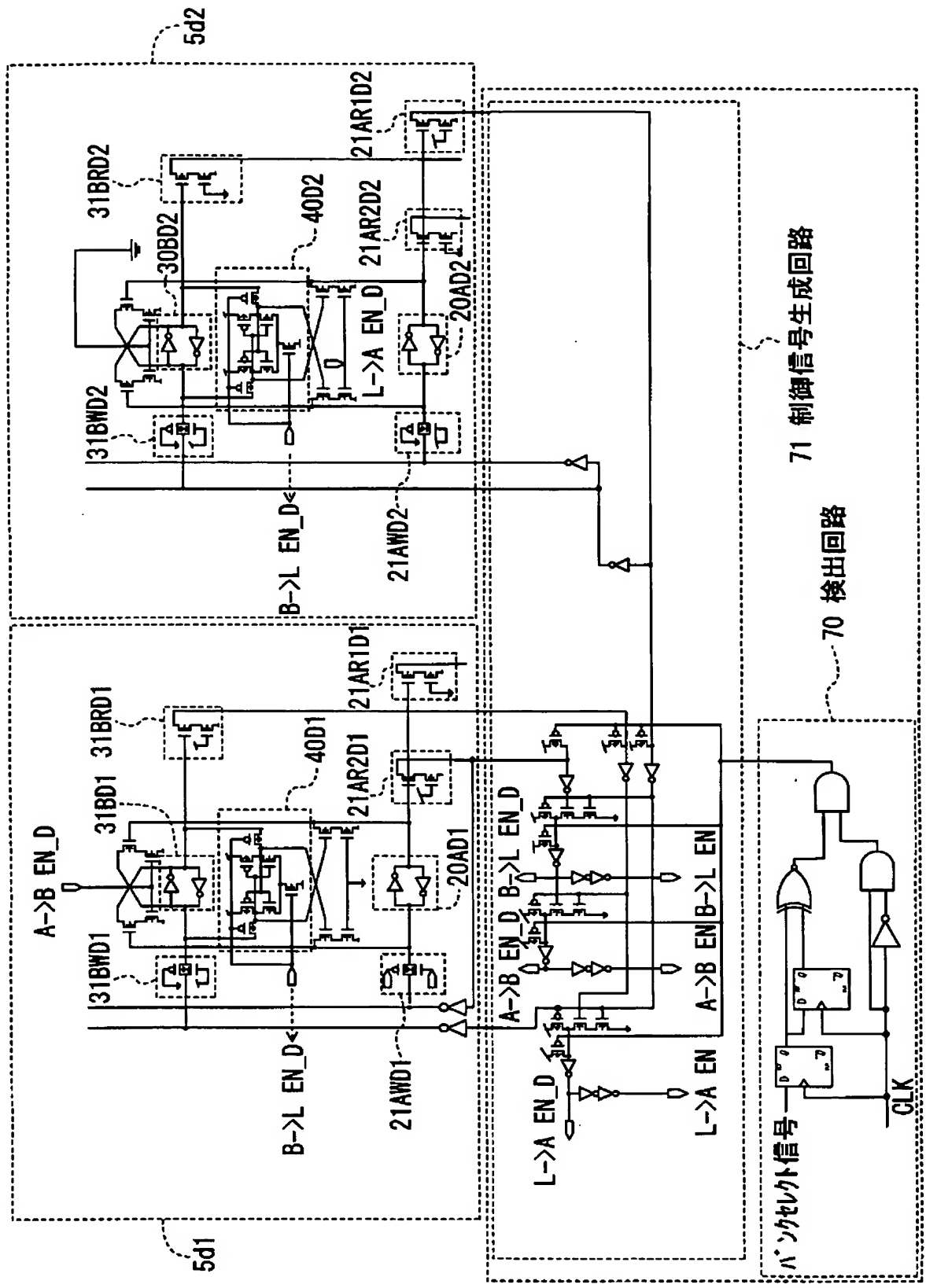
CLKクロック信号



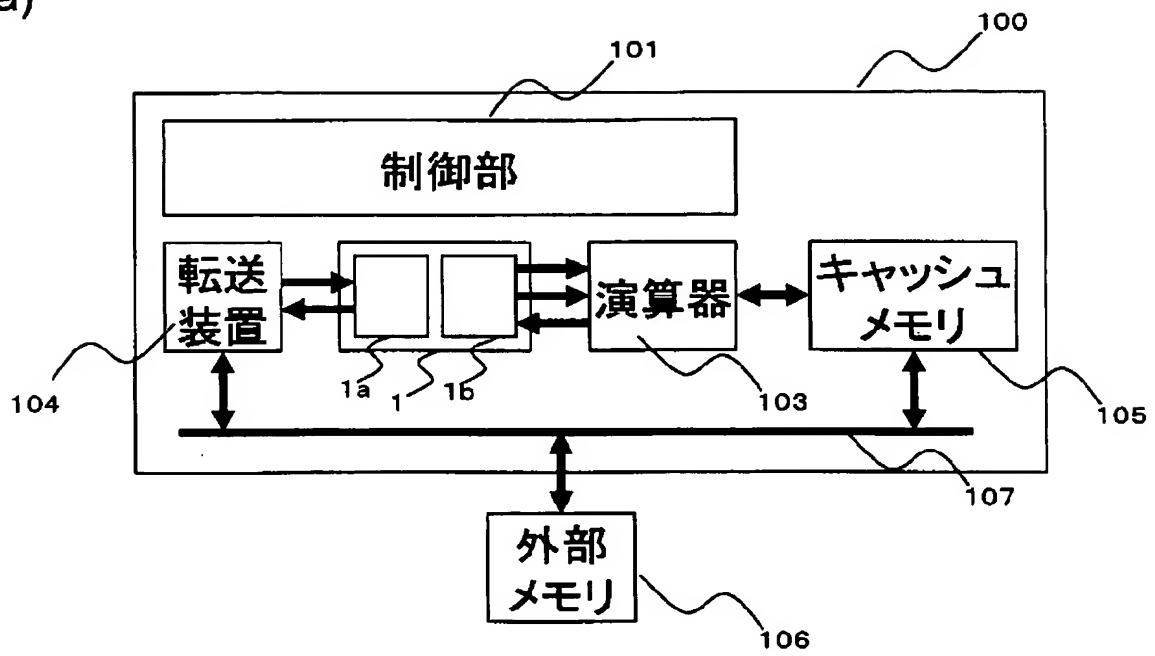


9 遅延電圧変換回路

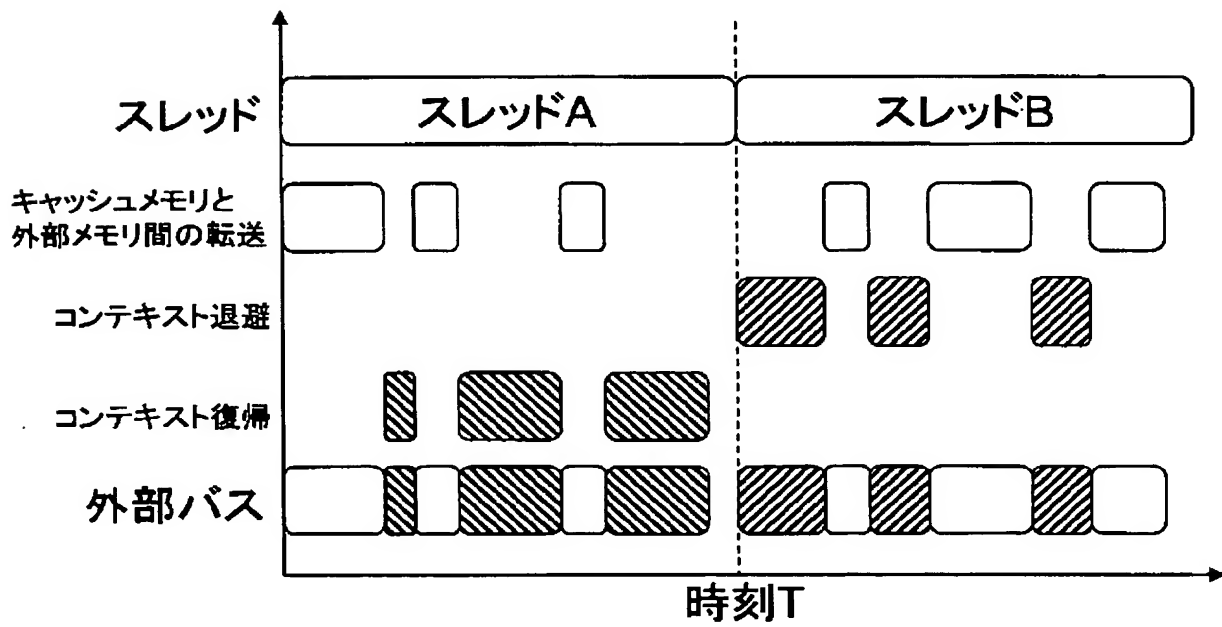


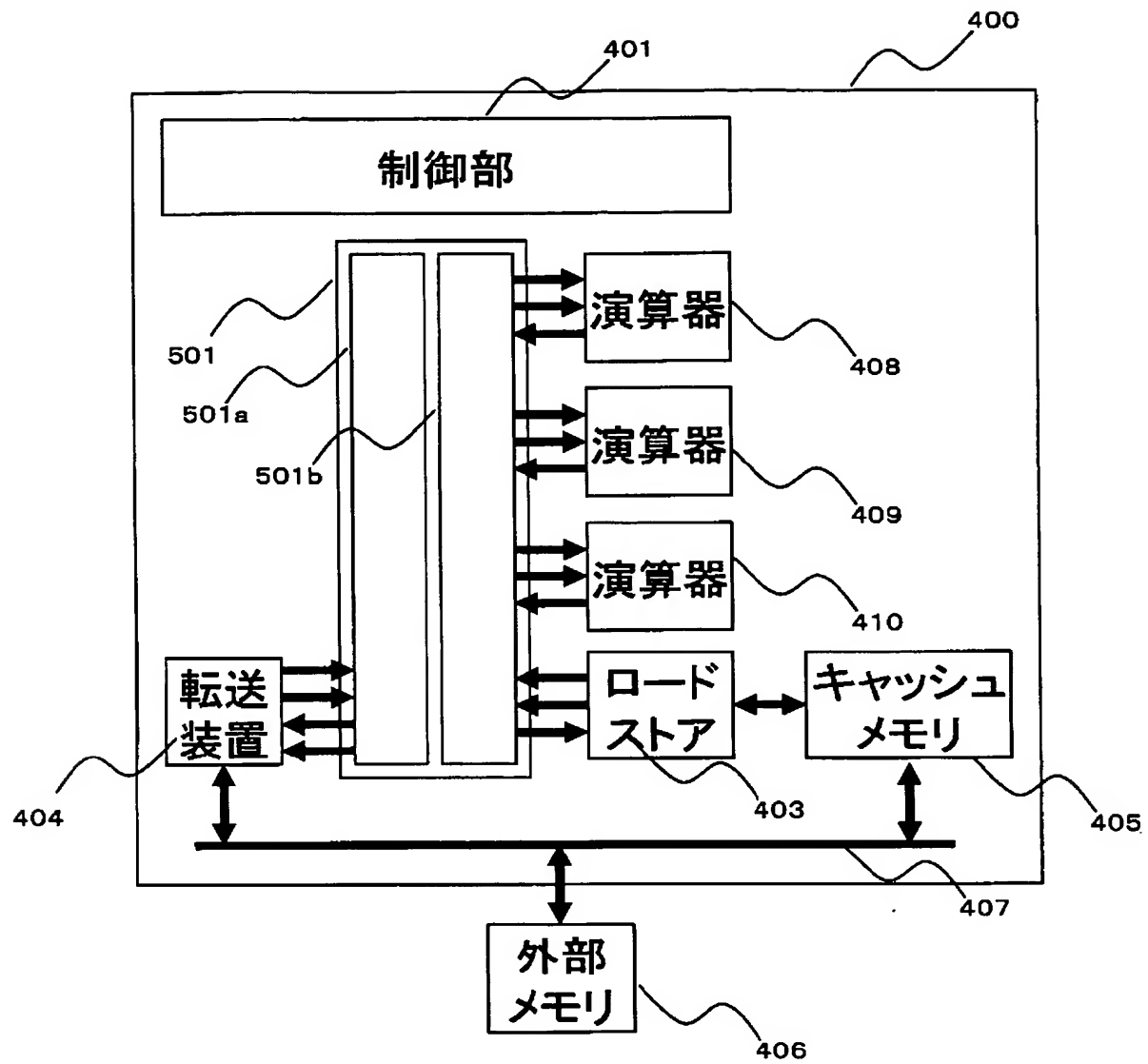


(a)



(b)





【要約】

【課題】半導体集積回路において、多ポート構成のレジスタファイルの必要面積の大幅削減を図る。

【解決手段】第1の保持回路20Aは、1つの第1の書き込みポート部21AW及び2つの第1の読み出しポート部21AR1、21AR2を持つ第1の機能ブロックに専用である。第2の保持回路30Bは、1つの第2の書き込みポート部31AW及び1つの第2の読み出しポート部31BRを持つ第2の機能ブロックに専用である。第1の保持回路20Aの保持データを例えば第2の読み出しポート部31BRから読み出す必要が生じた際には、第2の保持回路30Bのデータをラッチ回路40にラッチした後、第1の保持回路20Aのデータを第2の保持回路30Bに転送し、続いて前記ラッチ回路40にラッチした第2の保持回路30Bのデータを第1の保持回路20Aに転送して、データの入れ替えを行う。

【選択図】 図2

4

0 0 0 0 0 5 8 2 1

・

19900828

新規登録

大阪府門真市大字門真1 0 0 6 番地

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/010473

International filing date: 08 June 2005 (08.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-028766
Filing date: 04 February 2005 (04.02.2005)

Date of receipt at the International Bureau: 22 July 2005 (22.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse